

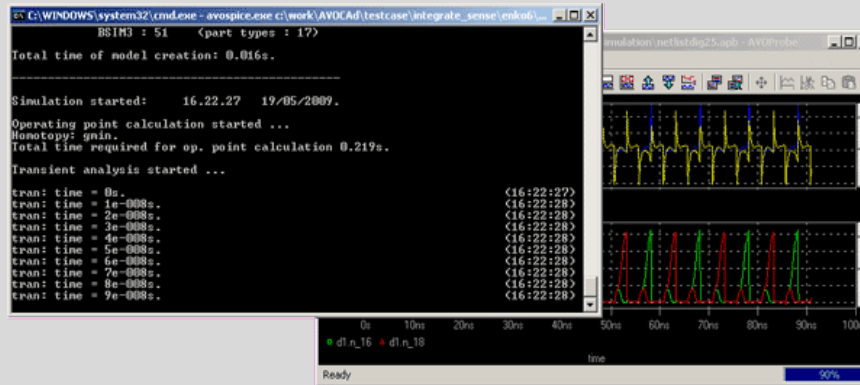
Возможности отечественной САПР интегральных микросхем SYMICA

Макаров Сергей Викторович
Турин Валентин Олегович

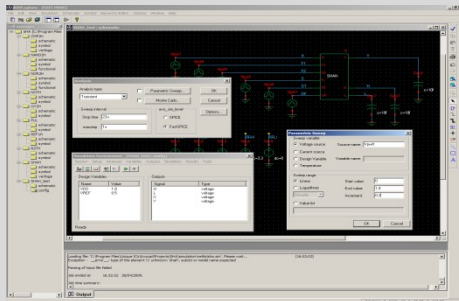
ООО “Интегральные Решения”
Москва, Зеленоград

1. SYMICA основана в 2009 г.
2. 2010 г – вышла первая версия для бета тестирования.
3. Март 2011г – вышла первая коммерческая версия.
4. 2011г – начало продаж в партнёрстве с Vivid Engineering (США).
5. Май 2011г – вышла бесплатная версия Symica FE.
6. Апрель 2012г – вышла кросс-платформенная версия Symica (Windows/Linux).
7. Октябрь 2012г – вышла вторая версия Symica.

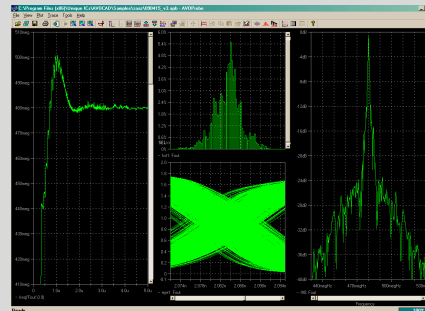
SymSpice – ключевой элемент



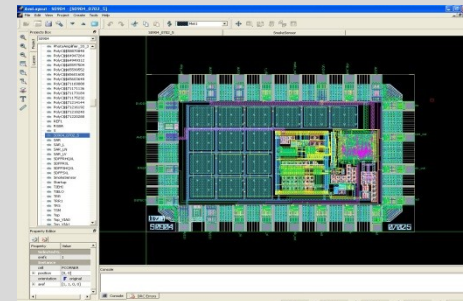
Capture



Probe



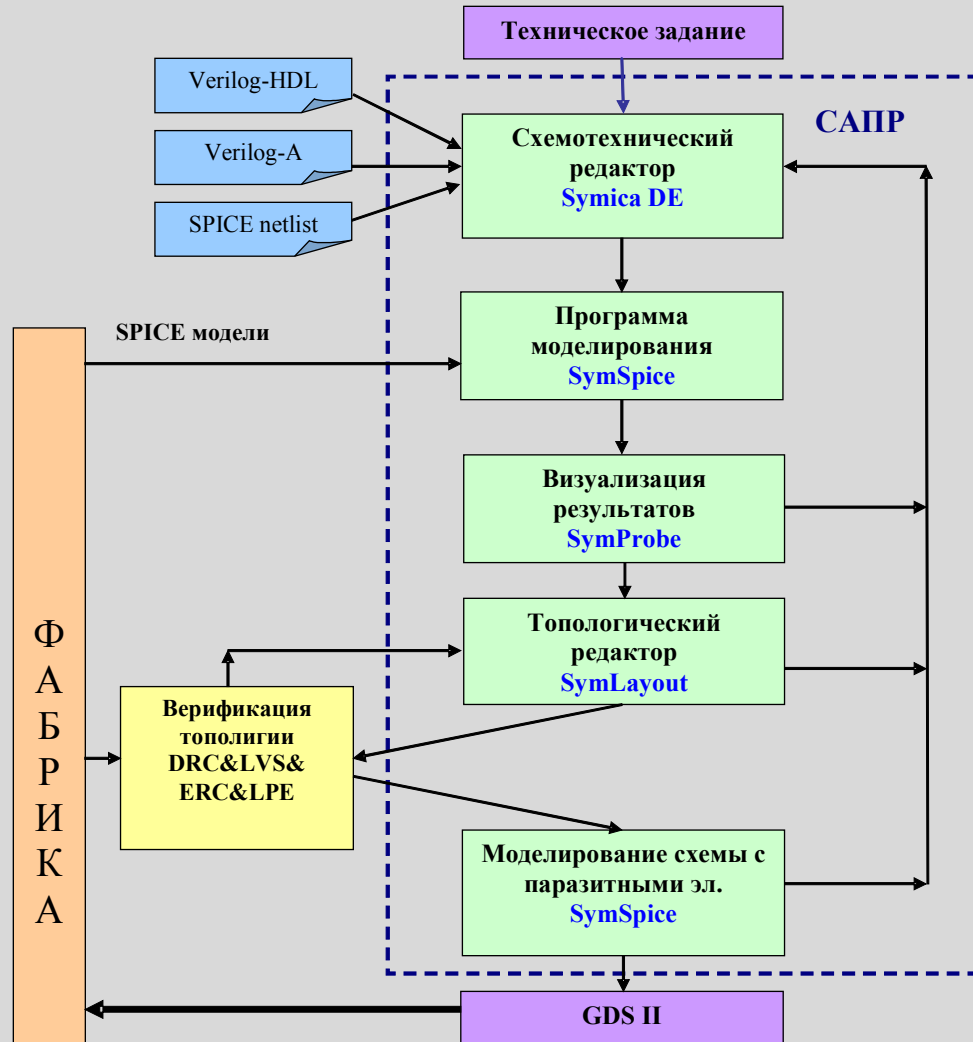
Layout



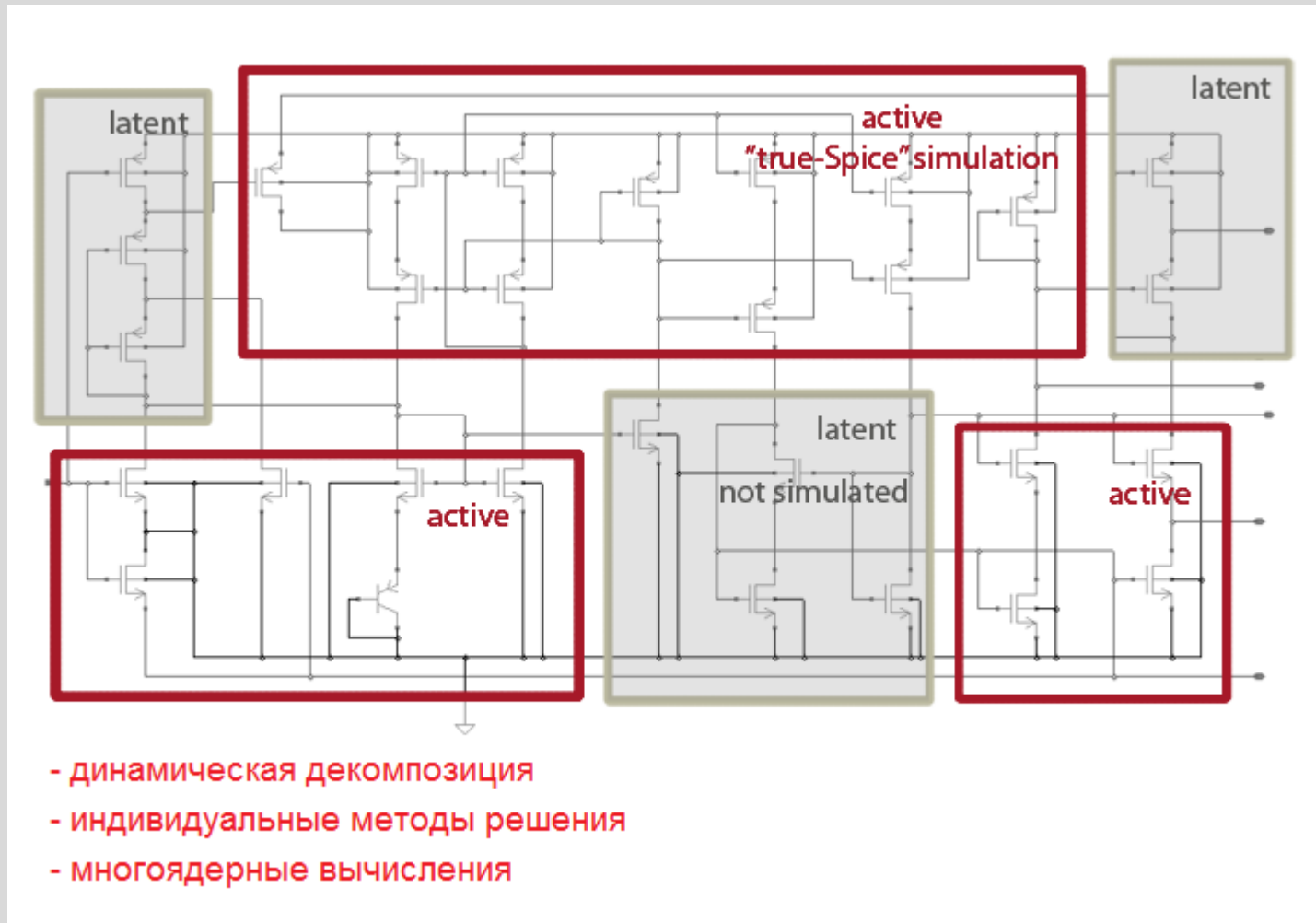
Преимущества SYMICA

- Законченное front-end решение для аналогового и смешанного проектирования ИС
- Точное схемотехническое моделирование
- Моделирование поведенческого описания аналоговых и цифро-аналоговых блоков
- Совместимость с промышленными стандартами: возможность импорта/экспорта библиотек через язык SKILL Cadence[®]
- Symica — это САПР, используемая в коммерческих компаниях по всему миру
- Русскоязычная поддержка
- Гибкая ценовая политика

Маршрут проектирования



Особенности SymSpice



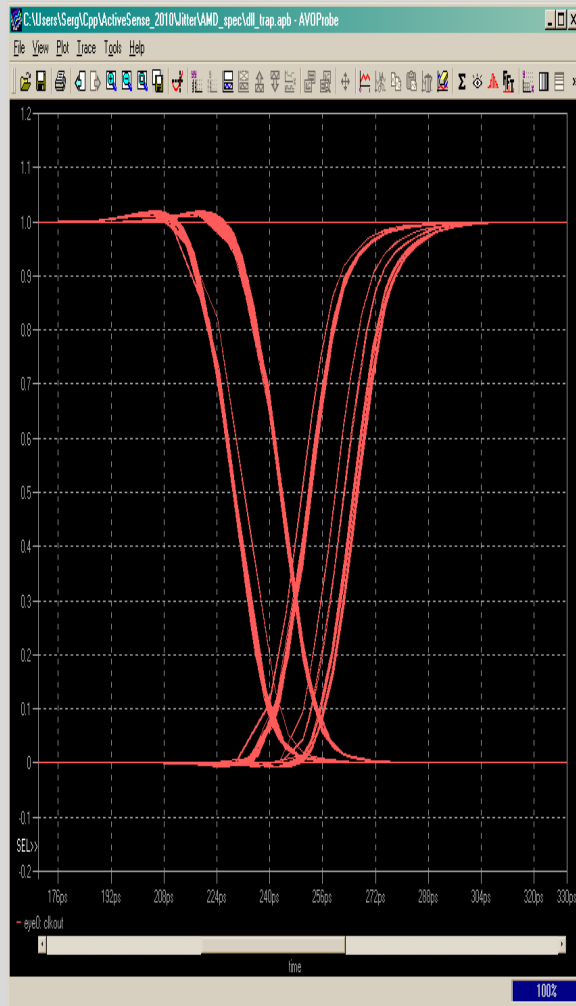
Результаты сравнения

Компьютер AMD64 Opteron 2.2ГГц	Тестовые схемы			
	Генератор 5713 (BSIM3)	ФАПЧ 7804 (BSIM3)	АЦП10 4933 (BSIM3)	USB 12 141 (BSIM3)
<i>SymSpice</i> 4 ядра	3ч 16мин	4ч 06мин	1ч 18мин	2ч 41мин
<i>SymSpice</i> 1 ядро	8ч 08мин	9ч 13мин	3ч 02мин	6ч 46мин
Spice 1 ядро	2 д 14ч	1 д 16ч	9ч 53мин	2д 2ч
Ускорение	19 раз	10 раз	9 раз	20 раз

SymSpice обеспечивает 250% ускорение на 4-ядерном компьютере.

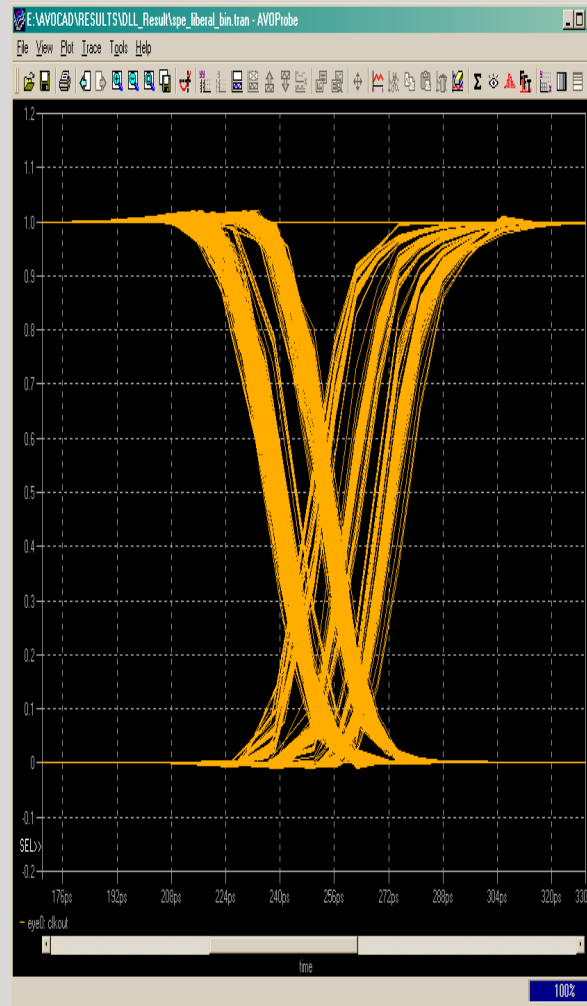
Точность моделирования

**SymSpice
(default)**



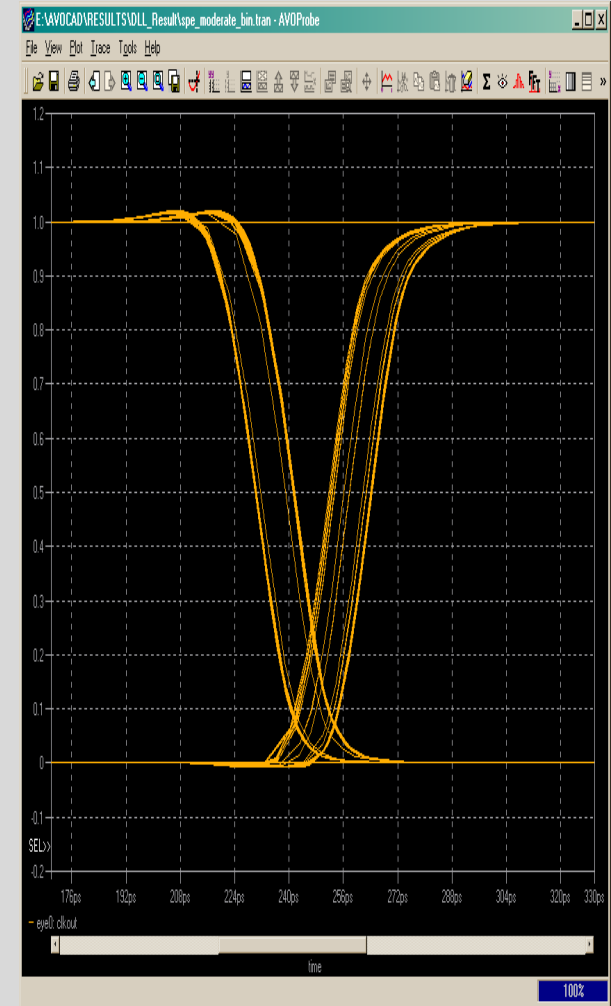
true

**FastSpice
(liberal)**



false

**FastSpice
(moderate)**



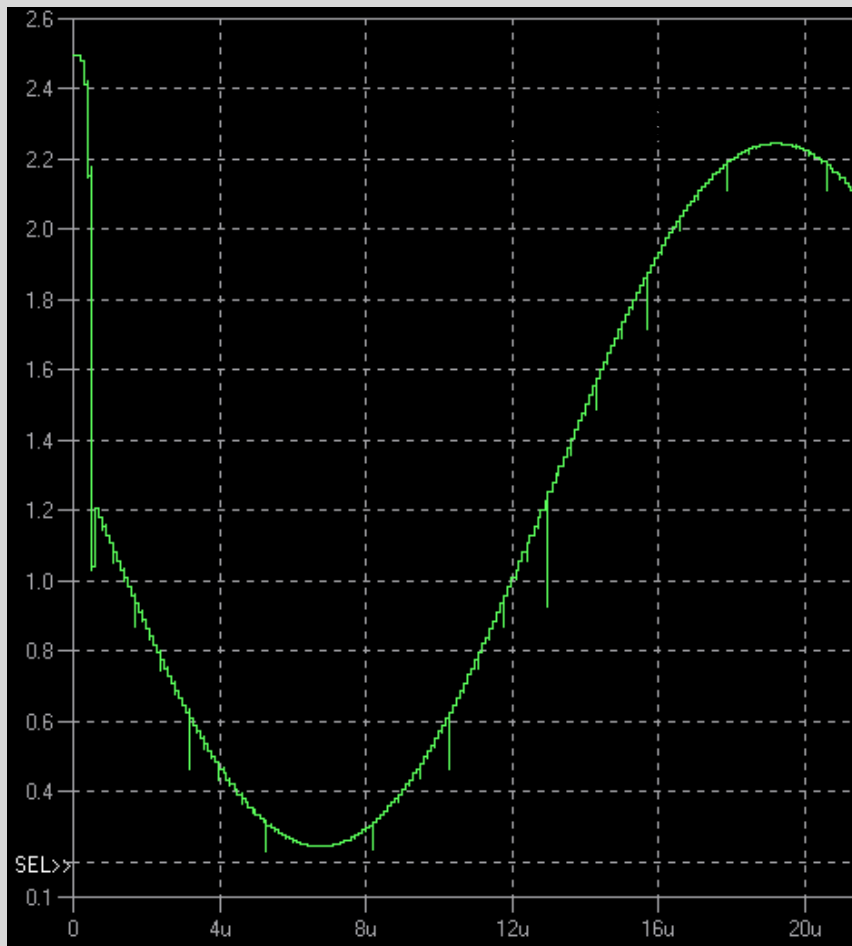
true

Точность моделирования

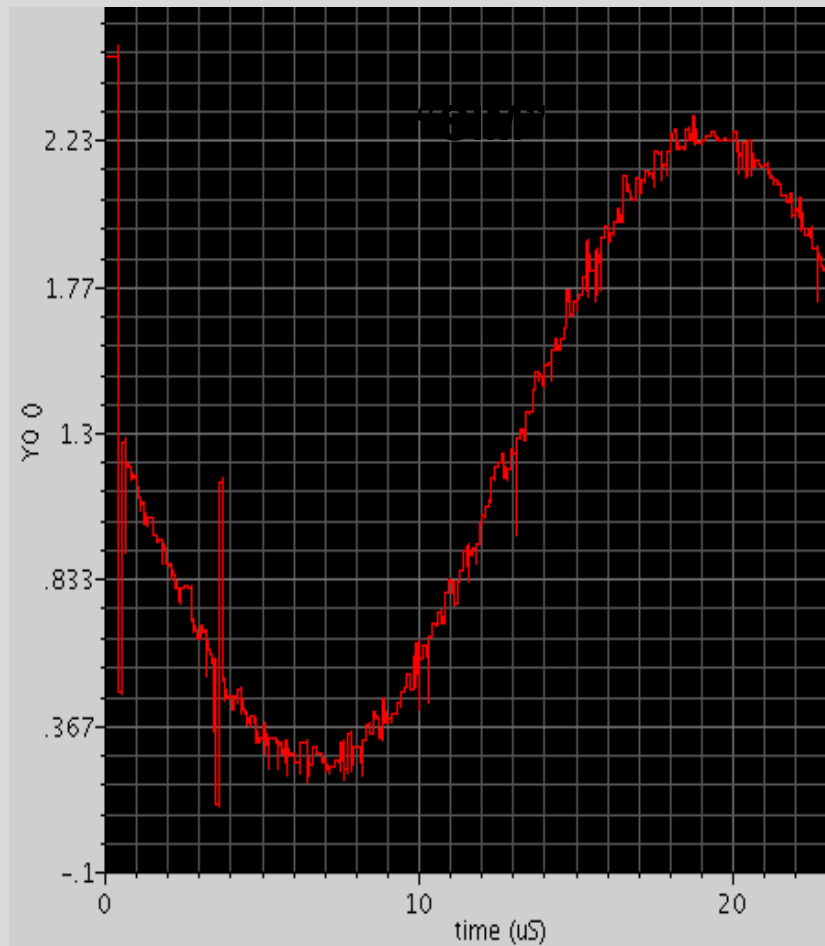
Компьютер AMD64 Opteron 2.2GHz	Программы моделирования			
	SymSpice (default) 4 ядра	FastSpice (liberal) 4 ядра	FastSpice (moderate) 4 ядра	FastSpice (conservative) 4 ядра
ФАПЧ (КМОП 65нм) 6914 (BSIM4) 890 (BSIM3)	5h 43min	5h 00min	10h 47min	19h 48min
Результат	true	false	true	true

FastSpice – класс программ моделирования когда ускорение достигается без потери точности. Применяется для проектирования аналоговых и аналого-цифровых схем.

Сравнение с Sim-Spice моделированием АЦП 10-бит



true



false

SIM – программа моделирования с ускорением за счет потери точности. Применяется для проектирования преимущественно цифровых схем.

Возможности SymSpice

Входной транслятор поддерживает описание нетлиста и модельных файлов в форматах Hspice Synopsys[®] и Spectre Cadence[®].

Поддерживаются:

- .TRAN анализ переходных процессов;
- .DC, .OP анализ;
- .AC анализ;
- параметрический анализ (SWEEP);

Mixed-mode форматы:

VerilogA описание

VerilogHDL описание

Выходные форматы данных:

APB, CSV, CSDF, RAW, NUTMEG.

Возможности SymSpice

Дополнительные виды анализа:

- .OPTIMIZE (parametric optimization)
- .MEASURE (custom expression evaluation)
- .ALTER (alternative netlist simulation)
- .IF (“structural IF” statement)

Расширения синтаксиса:

Logical operators (^, ||, &&, ~^)

Ternary operator (x ? y : z)

SymSpice поддерживает модели

1. MOS транзисторы

BSIM3v3.2, BSIM4.40, BSIM4.50, BSIMSOI3.2,
EKV2.6, EKV3-TUC, JFET, MOS1, MOS3, PSP102, PSP1020

2. Биполярные транзисторы

BJT Gummel-Poon, VBIC1.2, HICUM2.1, MEXTRAM504

3. Диоды

Level 1, 2, 3, 4 (juncap), 6 (juncap200).

4. Источники токов и напряжений

Независимые & управляемые:

DC, EXP, PULSE, SIN, PWL, SFFM, VCVS, VCCS,
CCVS, CCCS

5. Резистор

6. Емкость

7. Индуктивность

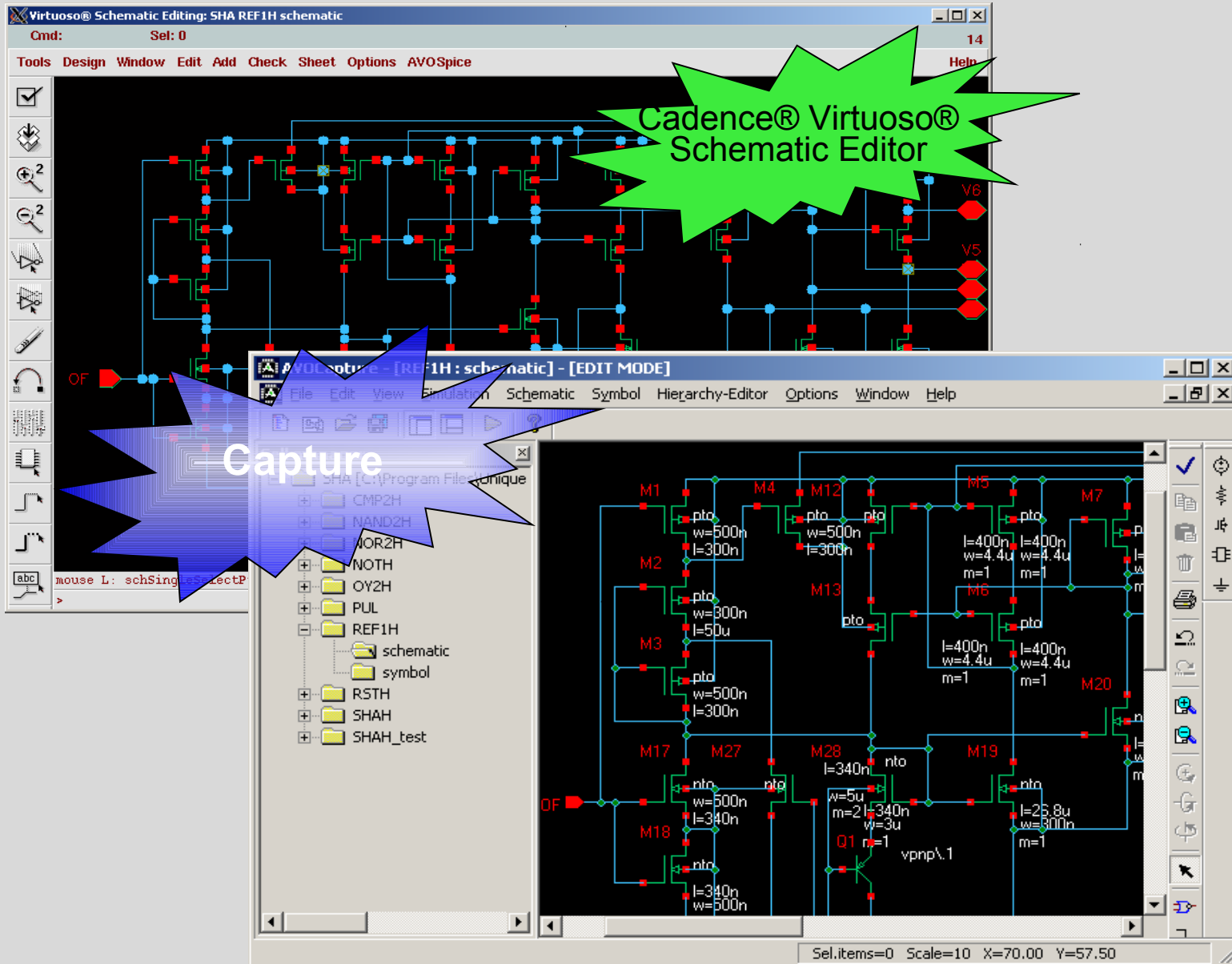
8. Модели описанные на языке VerilogA

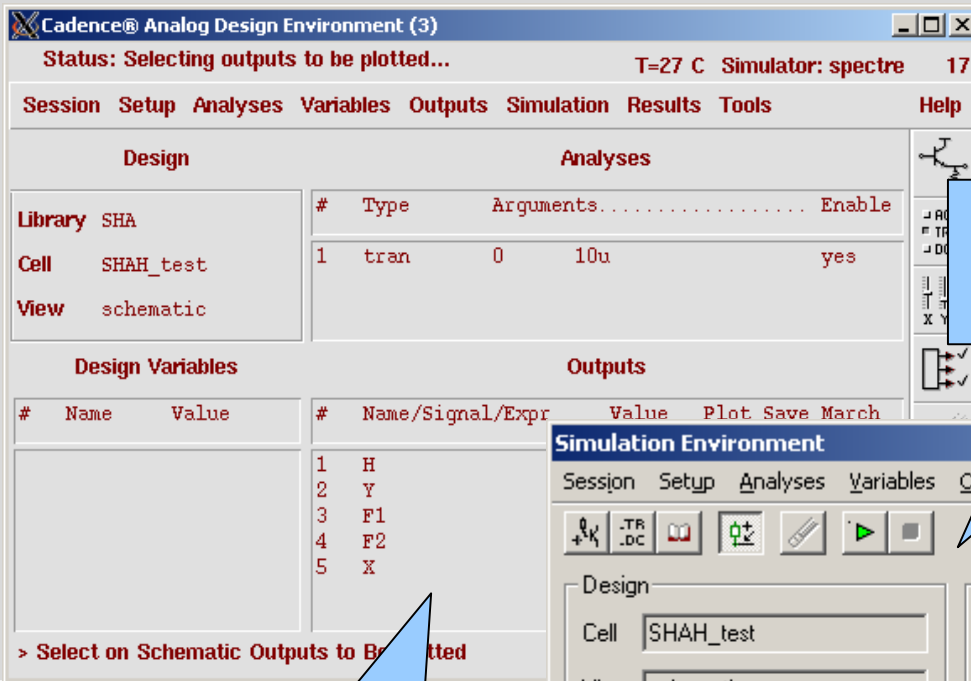
Проверено на практике

САПР успешно использовался при проектировании различных коммерческих ИС

- Аналоговые схемы типа ОУ.
- Многозарядные и высокоскоростные АЦП и ЦАП.
- Высокоскоростные интерфейсы типа USB2.0.
- Вторичные источники питания и генераторы типа ФАПЧ.
- Системы на кристалле типа оптическая мышка.

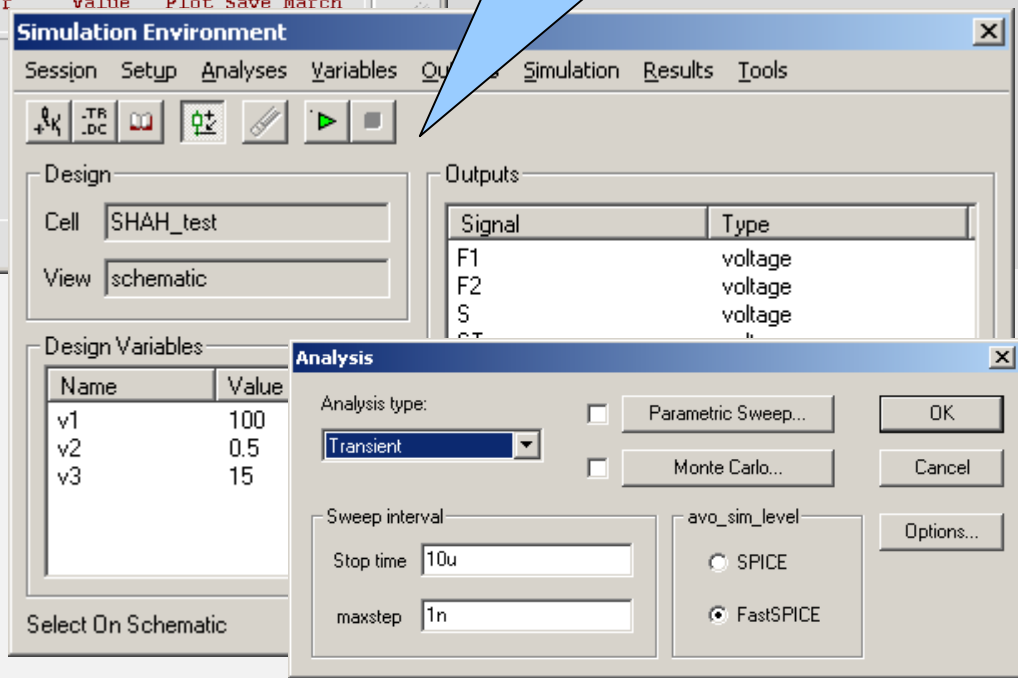
*Проекты реализованы в кремнии по КМОП
технологиям 250nm, 180nm, 130nm и 65nm.*

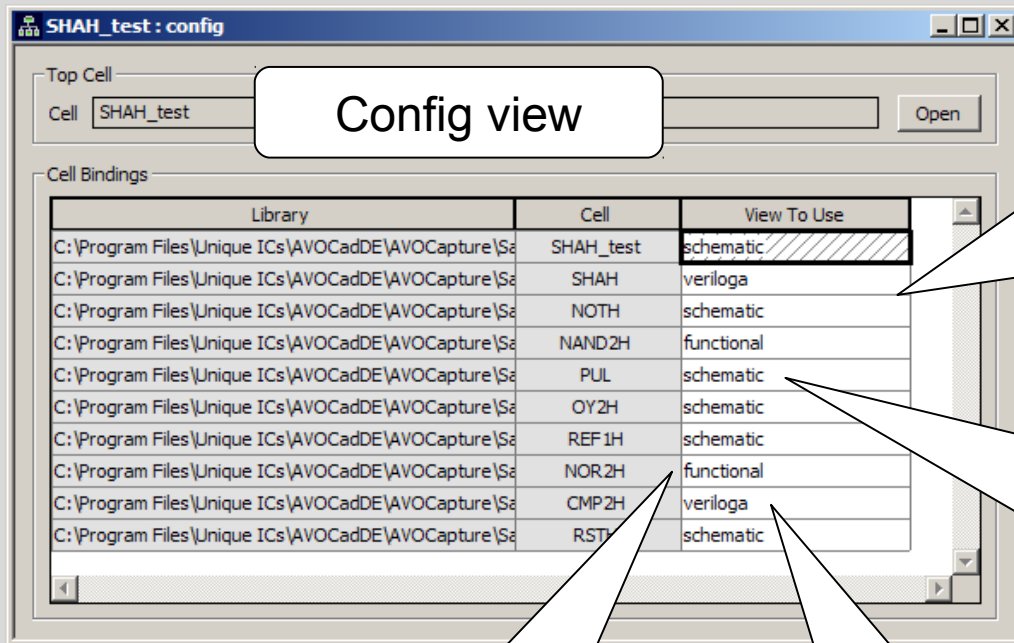




Symica
Simulation Environment

Cadence® Analog Design Environment

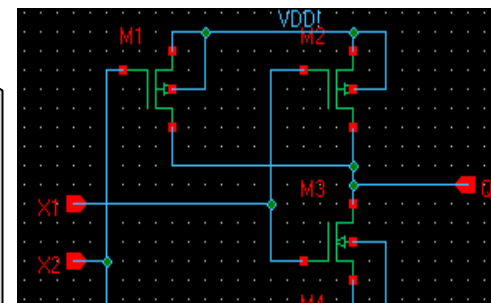




SPICE netlist

```
cap3 gnd y Capacitor c=1e-014
vdc1 vdd! gnd vsource type=dc dc=3.3
vdc2 vdl! gnd vsource type=dc dc=1.8
vdc3 vda! gnd vsource type=dc dc=3.3
vdc4 rfh! gnd vsource type=dc dc=3.3
vdc5 rfl! gnd vsource type=dc dc=0
vpull1 of gnd vsource type=pulse val0=0
rise=1e-010 fall=1e-010 width=2e-006
vpull2 st gnd vsource type=pulse val0=3.
rise=1e-010 fall=1e-010 width=2.5e-008
```

Schematic



VerilogHDL

```
module ADC10M_dig(Fo,R,CS,SYN,OF,Off,F1,
parameter Nbit = 10; // number of
output [Nbit-1:0] Q; // data
output F1,F2,S1,S2,ST1,ST2, // ana
DST, // data strobe (high activ
RDY, // RDY = 1 - end of conve
Off; // Off = 1 - power off
input Fo, // clock signal
```

Veriloga

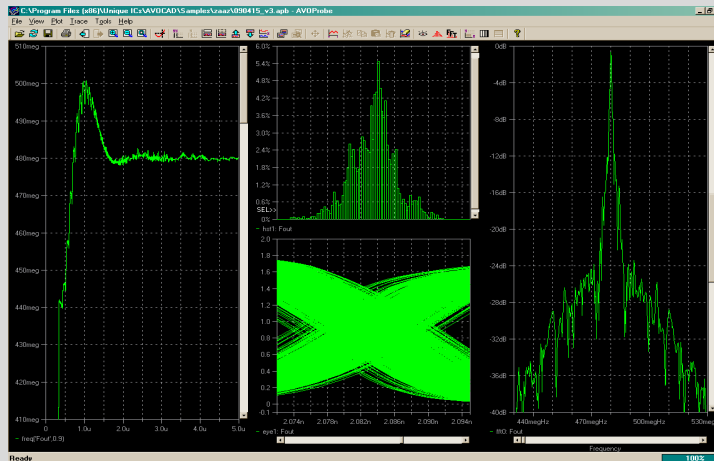
```
`include "constants.vams"
`include "disciplines.vams"

module SHAH(F1, F2, H, L, OF, Y, S, ST,
parameter real vda = 3.3 from (
parameter real vdin = 3.3 from (
parameter real vdout = 1.8 from
parameter real thresh = vdin/2;
parameter real vl = 1.2375 from
```

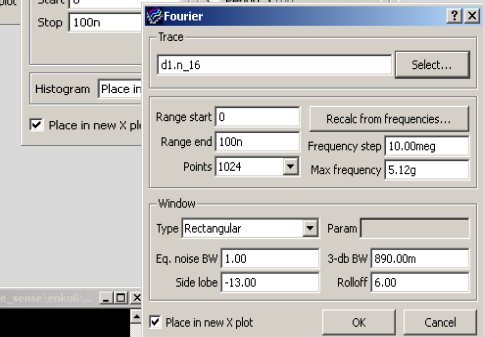
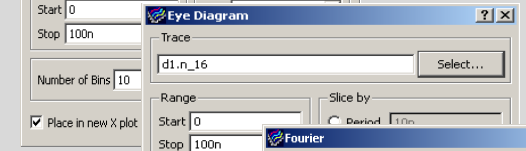
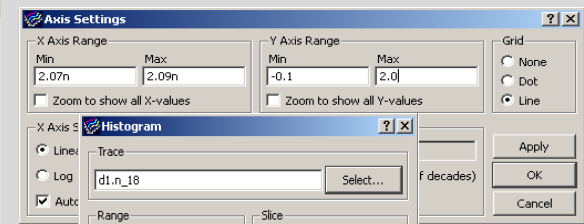
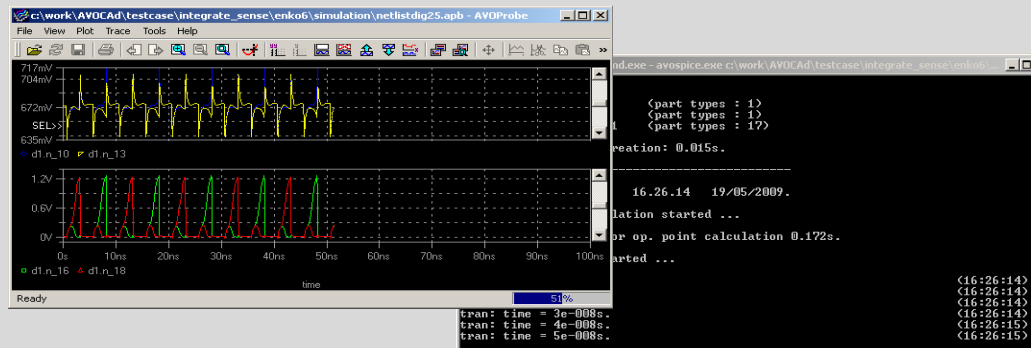
Визуализация результатов моделирования

*Масштабируемые функции
визуализации*

*Различные типы видов
отображения*



*Отображение результатов в
реальном времени*



Сервисы

1. Доработка специализированных видов анализа ИС
2. Разработка моделей полупроводниковых приборов
3. Характеризация библиотек для проектирования цифровых схем
4. Учет эффекта дозовых воздействий в моделях полупроводниковых приборов
5. Обучение проектированию аналоговых КМОП схем

Спасибо за внимание!

www.symica.ru

симика.рф

Контакты:

Макаров Сергей Викторович

makarov@symica.com

тел. +7-916-550-5181